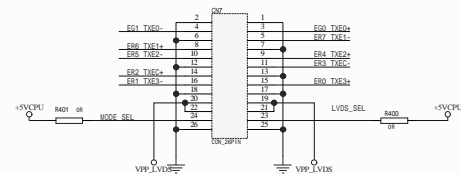




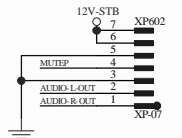
格式(3)

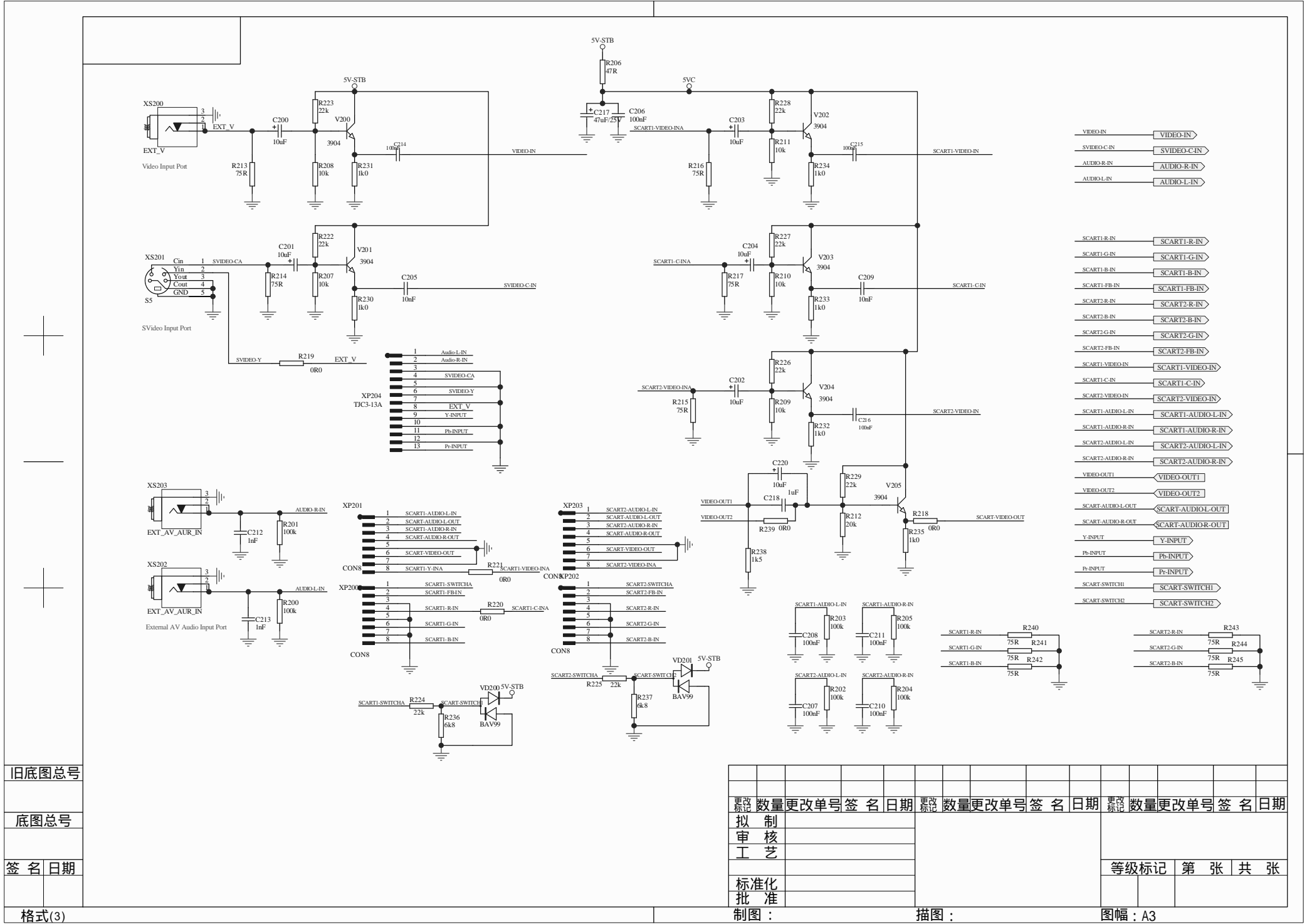
描图： 幅面：A2

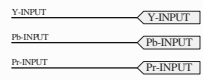
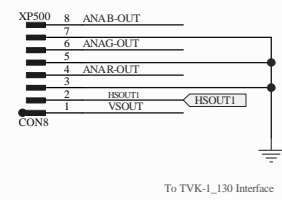
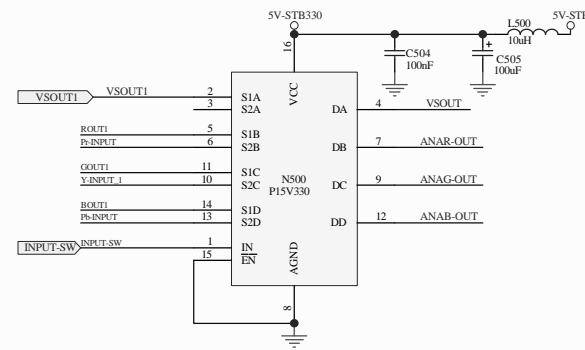
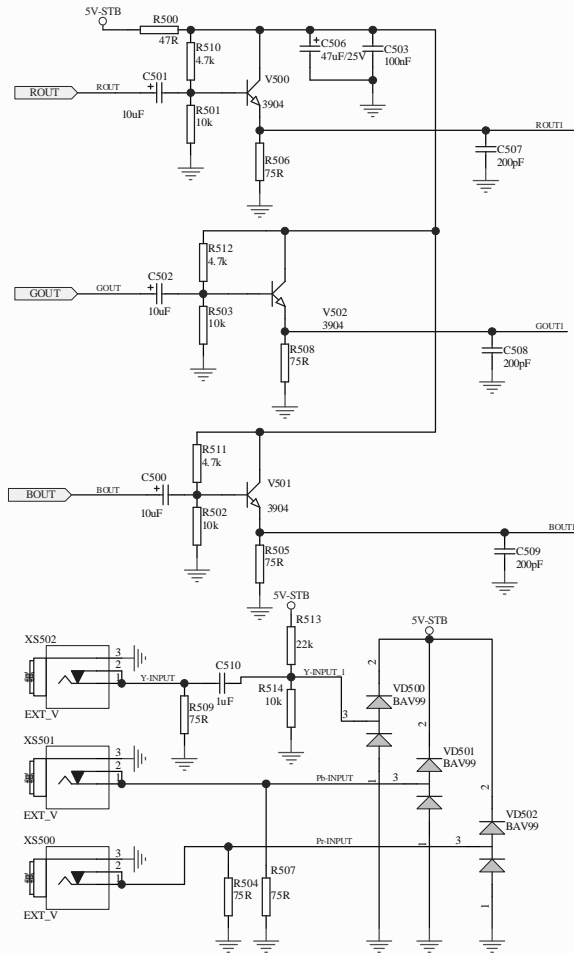


The diagram shows a square wave input signal labeled 'CLK' and its corresponding inverted square wave output labeled 'DE'. The input signal has a period of 20ns and a pulse width of 10ns. The output signal is inverted and has a propagation delay of 10ns. A 27pF capacitor is connected to the output signal.

[illegible]

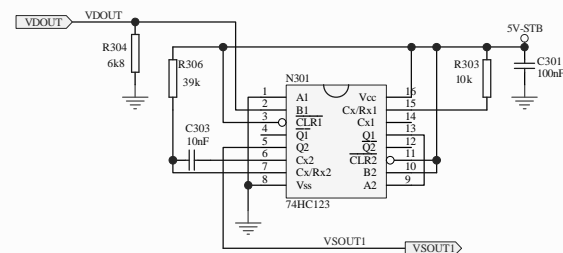
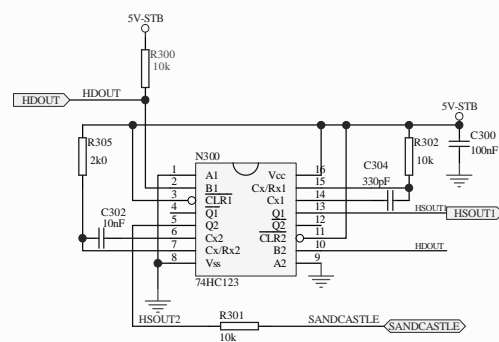






旧底图总号
底图总号
签 名 日期
格式(3)

更改 标记	数量	更改单号	签 名	日期	更改 标记	数量	更改单号	签 名	日期	更改 标记	数量	更改单号	签 名	日期
拟 制					审 核					工 艺				
标准 化 批 准														
制 图					描 图					图 幅	A3			



旧底图总号

底图总号

签 名	日期
-----	----

格式(3)

[illegible]

制图：

描图：

图幅：A3

