

LLC 電流共振制御 IC 「FA5760N」

LLC Current-Resonant Control IC: “FA5760N”

山田谷 政幸 YAMADAYA Masayuki

山路 将晴 YAMAJI Masaharu

山本 毅 YAMAMOTO Tsuyoshi

スイッチング電源の高効率化、低ノイズ化、薄型化に有利な LLC 電流共振回路が注目されている。しかし、安定した動作を得るためにコンバータが別途必要であることなど電源回路の規模が大きくなる課題がある。富士電機は、LLC 電流共振回路が一つのコンバータで構成でき、待機電力の低減も実現した LLC 電流共振制御 IC 「FA5760N」を開発した。630 V 高耐圧ドライバと 600 V 耐圧起動素子を 1 チップとし、ハーフブリッジ回路の貫通現象を回避する保護回路と間欠動作モードにより、従来の LLC 電流共振回路の持っていた欠点を解消し、広範囲に適用できる。

LLC current-resonant circuits have attracted attention as useful circuit systems for achieving a highly efficient, low-noise and thin structure of switching power supply; but there are problems that the power circuit scale becomes larger due to the need to include separate converters for stable operation. Fuji Electric has developed the LLC current-resonant control IC “FA5760N”, which can be used to construct an LLC current-resonant circuit with a single converter and which enables operation on low standby power. A 630 V high voltage driver and a 600 V start-up device are built into one chip. The new product gets rid of the problems with previous LLC current-resonant circuits by using protecting circuits and an intermittent operation mode to avoid the short circuit of the half-bridge circuit. This product is capable of a wide range of applications.

① まえがき

スイッチング電源は、現代社会を支える各種電子機器に用いられる。省電力化や省スペース化の社会的な要求に応えるため、高効率化、低消費電力化、小型化が急速に進んでいる。特に大電力帯の効率が良く、トランスの薄型化が実現できる LLC 電流共振回路が注目されている。

LLC 電流共振回路はこうした利点がある一方で、一般的にブリッジ回路において貫通現象が発生しやすく、入出力電圧の範囲に制約がある。このため、力率改善 (PFC: Power Factor Correction) の要否にかかわらず PFC コンバータを設けて入力電圧を安定化させる必要がある。また、この回路は原理的に軽負荷時に効率が低下する課題を抱えている。待機電力低減のために補助電源回路を別に設けるなど、電源システム全体で三つのコンバータが必要となり、電源回路の規模が大きくなる欠点がある。

富士電機は、これまで、複合共振型電流共振回路用マルチチップパワーデバイス「M-Power シリーズ」を製品化してきた^{(1),(2)}。高効率・低ノイズ・低待機電力を実現する独自の制御方式を採用したものである。また、600 V/800 V 高耐圧ドライバ IC 用プロセスを開発し、ブリッジ回路を直接駆動するドライバ IC も製品化している。

これらの従来技術をベースに、LLC 電流共振制御 IC 「FA5760N」を製品化した。制御 IC とドライバ IC を一体化し、独自の制御方式を採用することでコンバータ 1 個で高効率、低消費電力かつ小型の電源システムの構成が可能である。

② 「FA5760N」の概要

FA5760N の外観を図 1 に、ブロック図を図 2 に、主な定格を表 1 に示す。高耐圧ドライバ IC 用プロセスを使用し、新たに 600 V 耐圧起動素子の開発を行った。

FA5760N は、次の回路・素子を 1 チップで構成している。

- LLC 電流共振回路を制御する 30 V 耐圧制御回路
- ハーフブリッジ回路のハイサイドおよびローサイドスイッチ素子を直接駆動可能な 630 V 耐圧ドライバ回路
- 低消費電力で IC 起動を実現する 600 V 耐圧起動素子

パッケージには、JEDEC 準拠の 16 ピン SOP (Small Outline Package) を採用した。

ハイサイドとローサイドの両出力は交互に 50% のデューティ比で高精度に動作し、動作周波数範囲は 25 ~ 220 kHz である。FA5760N を用いたコンバータの定格出力 100 W において、最大効率 90%、待機電力 150 mW 以下を実現している。FA5760N の主な機能と関係する端子を表 2 に示す。

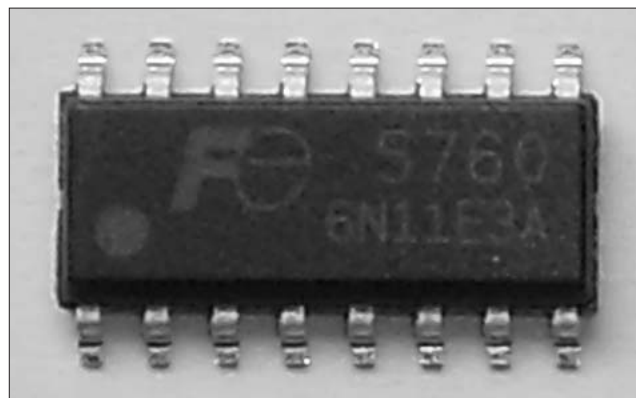


図 1 「FA5760N」

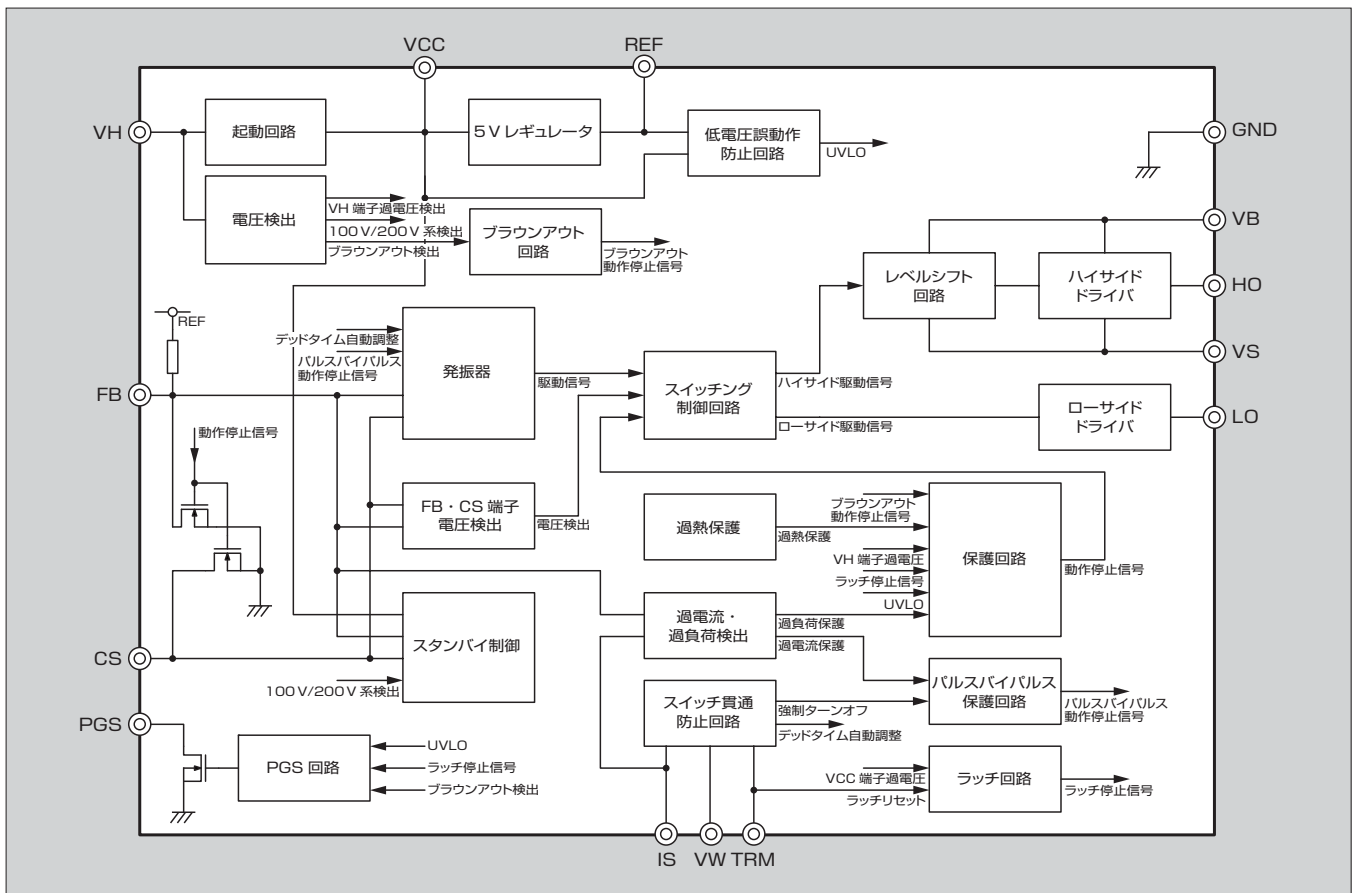


図2 「FA5760N」のブロック図

表1 「FA5760N」の主要定格

項目名	定格値
ハイサイド電源対地電圧	-0.3 ~ +630 V
ハイサイド電源電圧 (V _{BS})	-0.3 ~ +30 V
ローサイド電源電圧 (V _{CC})	-0.3 ~ +30 V
VH端子入力電圧	-0.3 ~ +600 V
最大許容オフセット電源電圧dv/dt	±50 kV/μs (max)
全損失	0.83 W
動作ジャンクション温度	-40 ~ +150 °C

表2 「FA5760N」の主な機能と関係する端子

機能	端子
起動回路	VH, VCC
低電圧誤動作防止回路	VCC, VB, REF
ブラウンイン・ブラウンアウト	VH
過電圧保護	VH, VCC
過電流保護	IS
過負荷保護	FB
過熱保護	(なし)
外部ラッチ信号入力	TRM
強制ターンオフ機能	VW, IS,
デッドタイム自動調整機能	VW, IS
低待機動作モード	VCC, CS, VH
パワーグッド信号	PGS

3 主な特徴

3.1 スイッチ貫通現象の防止機能

(1) ブリッジ回路のスイッチ貫通現象

図3に、一般的なLLC電流共振回路の等価回路を示す。ブリッジ回路の上下に対向するMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) のオン-オフを交互に切り替えて正弦波状の共振電流を生成する。このとき適切なタイミングでMOSFETのオン-オフを切り替えないと、スイッチの貫通現象が発生し、場合によってはMOSFETを破壊する。

図4に、ブリッジ回路のスイッチ貫通現象を示す。片方のMOSFETのボディ・ダイオードに共振電流が流れてい

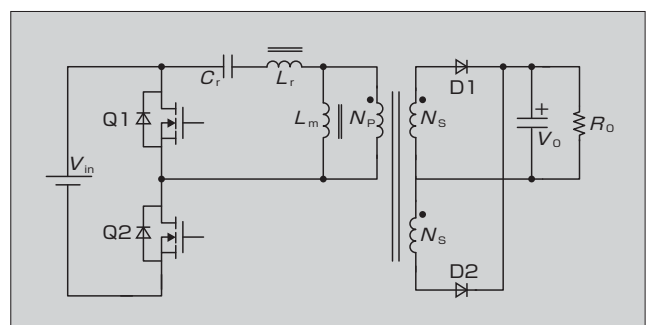


図3 LLC電流共振回路の等価回路

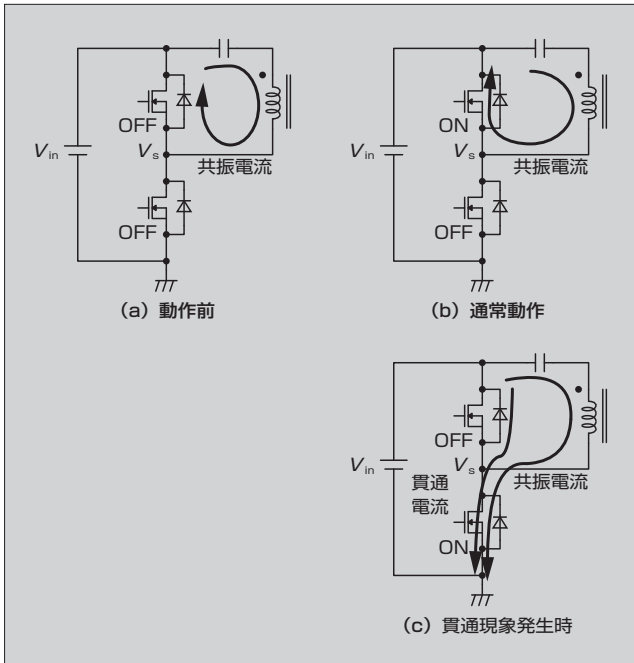


図4 ブリッジ回路のスイッチ貫通現象

る(図4(a)) 場合, この MOSFET がオンする際は ZVS (Zero Voltage Switching) 動作となり本来の望ましい動きとなる(図4(b))。しかし, 対向する MOSFET がオンする(図4(c)) と, 前者のボディ・ダイオードのリカバリー期間に少数キャリアが一気に引き抜かれることで過大なリカバリー電流が発生し, ブリッジ回路が貫通する。この場合, 貫通電流による急激な電流変化により MOSFET がアバランシェ破壊を起こしたり, 過大なサージによる異常動作により MOSFET の安全動作領域を超えて破壊したりすることがある。したがって, MOSFET のボディ・ダイオードに共振電流が流れている場合, 対向の MOSFET をオンさせてはならない。そのため, FA5760N は, 次に述べる二つのスイッチ貫通現象の発生条件にそれぞれ対応する二つの防止機能を備えている。

(2) 強制ターンオフ機能

FA5760N は, スイッチ貫通現象を防止する機能として, 強制ターンオフ機能を備えている。図5にFA5760Nにおけるスイッチ貫通現象を防止する外部回路構成を, 図6に強制ターンオフ機能の有無による動作波形の比較を示

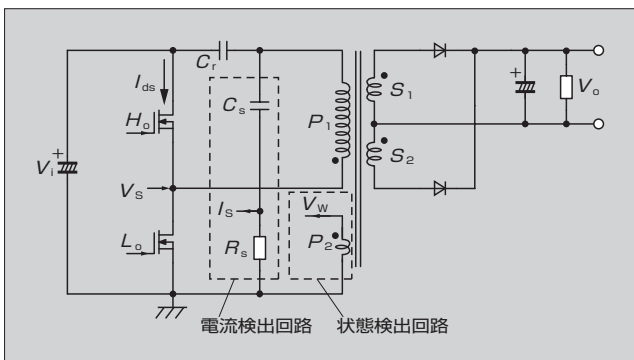


図5 スイッチ貫通現象を防止する外部回路構成

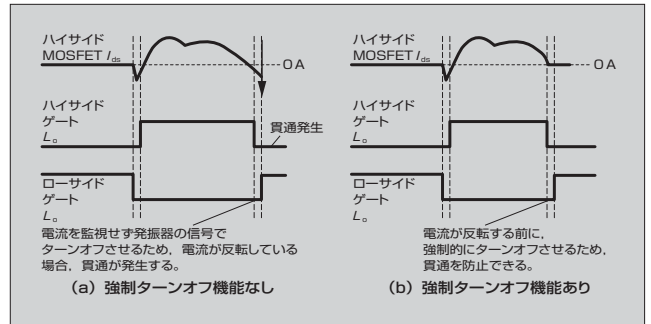


図6 強制ターンオフ機能の有無による動作波形

す。図6(a)において, オン期間が長い, すなわち動作周波数が低い場合, ハイサイドの MOSFET に流れる共振電流 I_{ds} が正から負に反転することがある。このとき, 図4に示すとおりスイッチの貫通現象が発生してしまう。この現象は特に周波数が低い状態, すなわち, 低入力電圧, 過負荷状態, 高出力電圧の場合に発生しやすい。これが従来の LLC 電流共振回路が入出力電圧変動に弱く, 入力安定化用の PFC 回路が欠かせない一因となっている。

この貫通現象を防止するためには, ハイサイドの MOSFET に流れる電流が正から負に反転する前にハイサイドの MOSFET を強制的にオフし, そのボディ・ダイオードに I_{ds} を流すことなくローサイドの MOSFET をオンさせることが必要である。これを強制ターンオフ機能と呼ぶ。これは, ローサイド側でも同様である。

FA5760N は, 図5に示す電流検出回路と状態検出回路により, 電流 I_s と補助巻線 P_2 の電圧 V_w を検出し, 強制ターンオフ機能を実現している(図7)。

V_w が反転した時点から共振電流の監視を開始し, その電流が反転する直前に設けられた電流しきい値に到達した時点で強制的にターンオフする。強制ターンオフ後は通常のターンオンとなり, 再び監視状態に戻るため, 動作周期ごとにこの機能は有効となる。

実際の動作波形を図8に示す。低入力電圧かつ重負荷の条件であるが, MOSFET に流れる共振電流が正から負へ反転する前に確実に強制ターンオフが動作し, 貫通現象が発生しないことが確認できる。

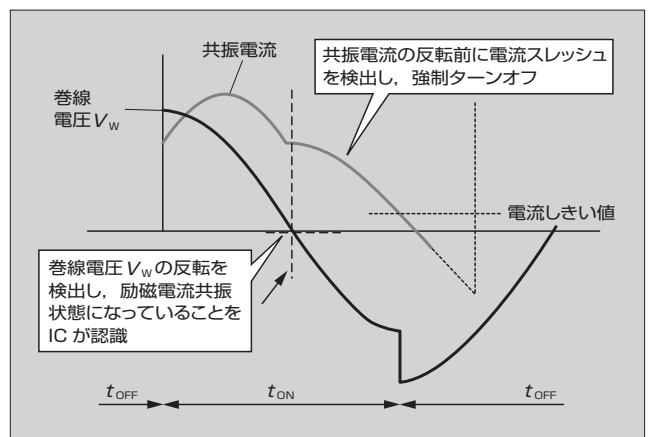


図7 強制ターンオフ機能の実現方法

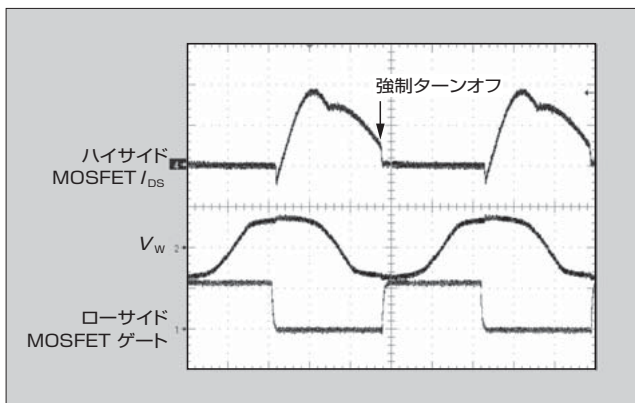


図8 強制ターンオフ機能の動作波形

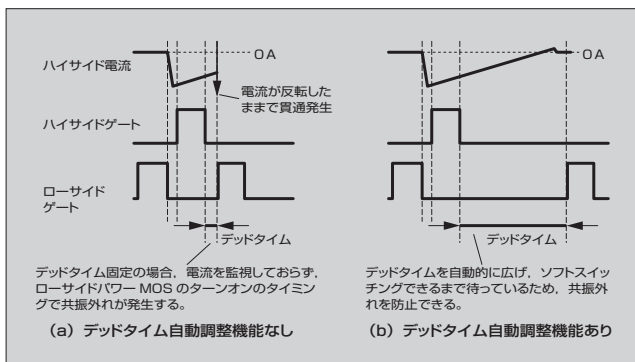


図9 デッドタイム自動調整機能

(3) デッドタイム自動調整機能

電源起動時などの初期状態や間欠動作などの長いスイッチング停止期間直後の再起動時で、共振電流が確立していない状態において、周波数が高い、すなわち、オン期間が短い場合、一方の MOSFET のボディ・ダイオードに共振電流が流れた状態から脱する前にターンオフし、対向する MOSFET がターンオンして貫通する場合がある。これを図 9 (a) に示す。貫通を回避するためには、ソフトスイッチングが可能になるまで対向する MOSFET のオンを待つ、すなわち共振電流がゼロレベルに到達するまでデッドタイムを拡張することが有効である。この拡張機能をデッドタイム自動調整機能と呼ぶ。

通常、デッドタイムは効率向上のため極力短い 380 ns (標準値) に設定されているが、FA5760N は、図 5 の補助巻線 P_2 の電圧 V_W の時間変化を監視し、共振電流がゼロレベルに到達していないと判断した場合は、最大 20 μ s (標準値) までデッドタイムを拡張する (図 9 (b))。

このデッドタイム自動調整機能は、スイッチの貫通だけでなく、ハードスイッチングを回避する効果も大きく、電源品質を向上させる重要な機能である。

3.2 低待機動作モード

LLC 電流共振回路は、動作時に共振電流と励磁電流が発生する。このうち励磁電流による励磁損は、負荷には無関係な損失であるため、軽負荷動作時はこの励磁損が支配的となり、急激に効率が悪化する。原理的に励磁損の削減

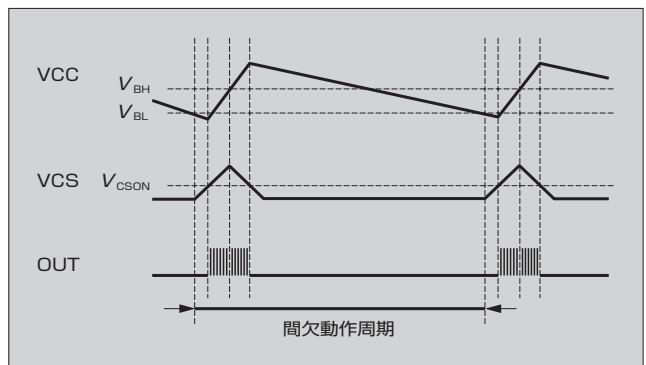


図10 低待機動作モードの動作波形

は難しいため、この対策には間欠動作が有効である。

FA5760N は、従来品のマルチチップパワーデバイス「M-Power2B」の低待機動作方式を引き続き採用し、外部からの待機信号を受けて通常動作モードから低待機動作モードに切り替え、スイッチングを間欠動作させることで励磁損を削減している。その方法は図10に示すように、CS 端子の充放電によりスイッチング周期を変化させることで、VCC 端子電圧を二つのしきい値電圧 V_{BH} および V_{BL} にて検出する一次側制御で間欠動作を実現している。なお、CS 端子電圧とスイッチング周波数はほぼ反比例の関係に設定しており、CS 端子電圧が一定の電圧レベル V_{CSON} 以上でスイッチング動作するように設定している。

FA5760N はさらなる待機電力削減のため、CS 端子の充放電時間、CS 端子のスイッチング動作点 V_{CSON} および VCC 端子の電圧維持レベル (V_{BH} , V_{BL}) を電源電圧の高低に応じて切り替える最適化機能を追加し、音鳴りを防止しつつ、電源電圧に応じて待機電力を最も低く抑えるように間欠周期の最適化を図っている。

3.3 共振電流検出

図 5 に示すとおり、共振コンデンサを分流するコンデンサを設け、抵抗を挿入することにより、共振電流を検出している。この方法は、共振電流本体の流れる経路に電流検出用の抵抗を挿入する必要がなく、損失が発生しないため、高効率動作が可能である。

3.4 パワーグッド信号 (PGS 端子)

FA5760N は、異常状態を検出し動作停止する場合、PGS 端子の n チャンネル MOSFET のオープン・ドレイン出力より信号を送出する。これを利用することで、異常状態での電源システムの遮断シーケンスの構成などが可能である。

4 新規 600V 耐圧起動素子

ブリッジ回路のスイッチ素子、特にハイサイド側のドライバ IC は、サージに対して特に注意深い対策が必要である。富士電機は既に 800V 耐圧ドライバ IC の量産実績があり、FA5760N はこのプロセスを採用した。しかし、低

待機電力化のために必須である起動素子がなかったことから、今回、600 V 耐圧起動素子を開発し FA5760N に適用した。

図 11 に、起動回路を示す。商用電源入力の手前端子から起動素子 S2 とスイッチ M1 を経て、IC 電源入力の手前端子へ電流を供給する。必要に応じて M1 で起動電流をオン・オフすることで、電力損失を大幅に抑えることができる。また、起動素子 S1 は起動回路を制御する電源として機能する。

600 V 耐圧起動素子には、JFET (Junction Field Effect Transistor) を採用した。平面図を図 12 に示す。図 11 の起動素子 S1 と S2 は中心部のドレインを共通とし、複数に分割された外周部のソースで区分された一体デバイスである。

起動素子は、耐圧に加えてカットオフ特性が重要である。これは、電流供給先の手前端子の耐圧以下で起動素子からの電流供給を遮断できなければ、制御回路とスイッチ M1 に過大な電圧が印加され、破壊に至るためである。

起動素子の耐圧を維持しつつ、目標とするカットオフ特性を得るためには、PN 接合部の空乏層を制御する必要がある。そこで、三次元デバイスシミュレーションを用いて

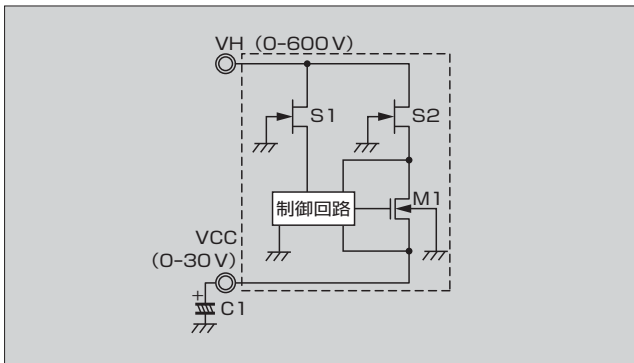


図 11 起動回路

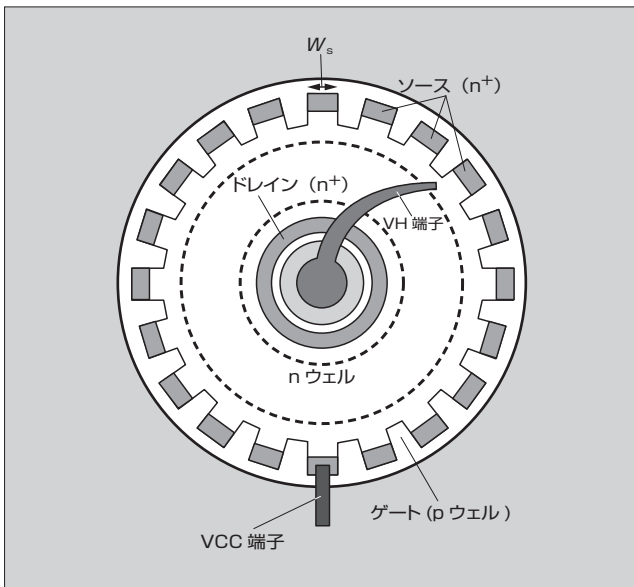


図 12 600 V 耐圧起動素子の平面図

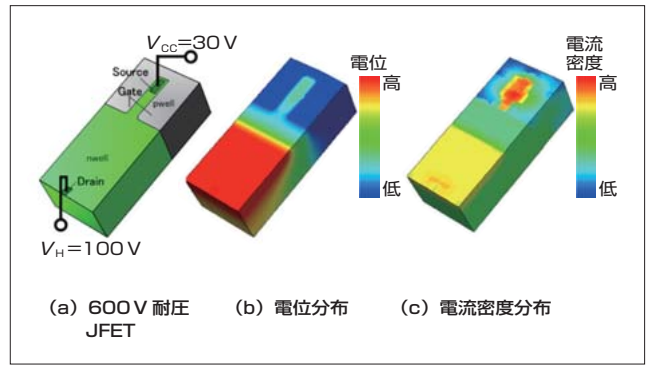


図 13 三次元デバイスシミュレーションの結果

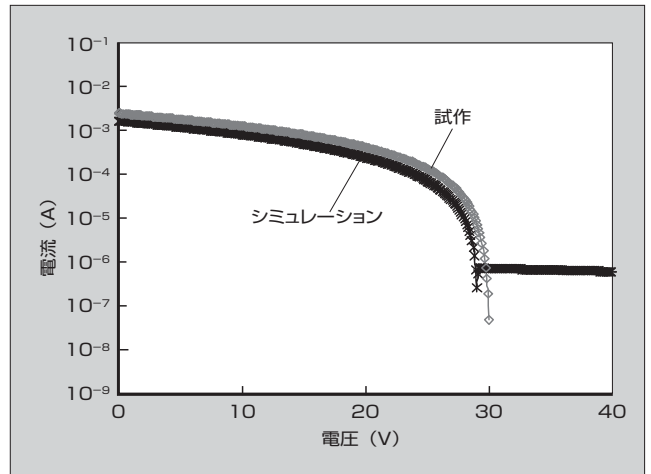


図 14 600 V 耐圧 JFET カットオフ特性

600 V J-FET 構造の設計を行った。図 13 に、ドレイン電圧 100 V、ソース電圧 30 V の場合の電位分布と電流密度分布を示す。ソース領域の幅 W_s を最適化し、デバイス試作を実施した。

図 14 に、600 V 耐圧 JFET カットオフ特性におけるシミュレーション結果と試作結果の比較を示す。その結果、設計どおりのカットオフ特性を実現でき、FA5760N の製品開発に適用している。

5 適用アプリケーション例

図 15 に、出力電力 100 W を一つのコンバータで構成するアプリケーション回路の例を示す。一般的に、LLC 電流共振回路を用いたシステムに必要な入力安定化用 PFC 回路と待機用補助電源は、FA5760N を用いることにより不要となる。

アプリケーション回路の例について表 3 に仕様を、表 4 に主な半導体部品を示す。二次側巻線出力は、24 V、12 V の 2 出力である。待機動作時にも動作を継続するマイコンなどに電源を供給する 5 V 出力は、低待機動作時の出力電圧リップルの影響を抑えるため、降圧型 DC/DC コンバータを使用している。なお、出力電圧リップルが許容範囲の場合は、DC/DC コンバータは不要である。

図 16 に、通常動作モードにおける電源効率特性を示す。

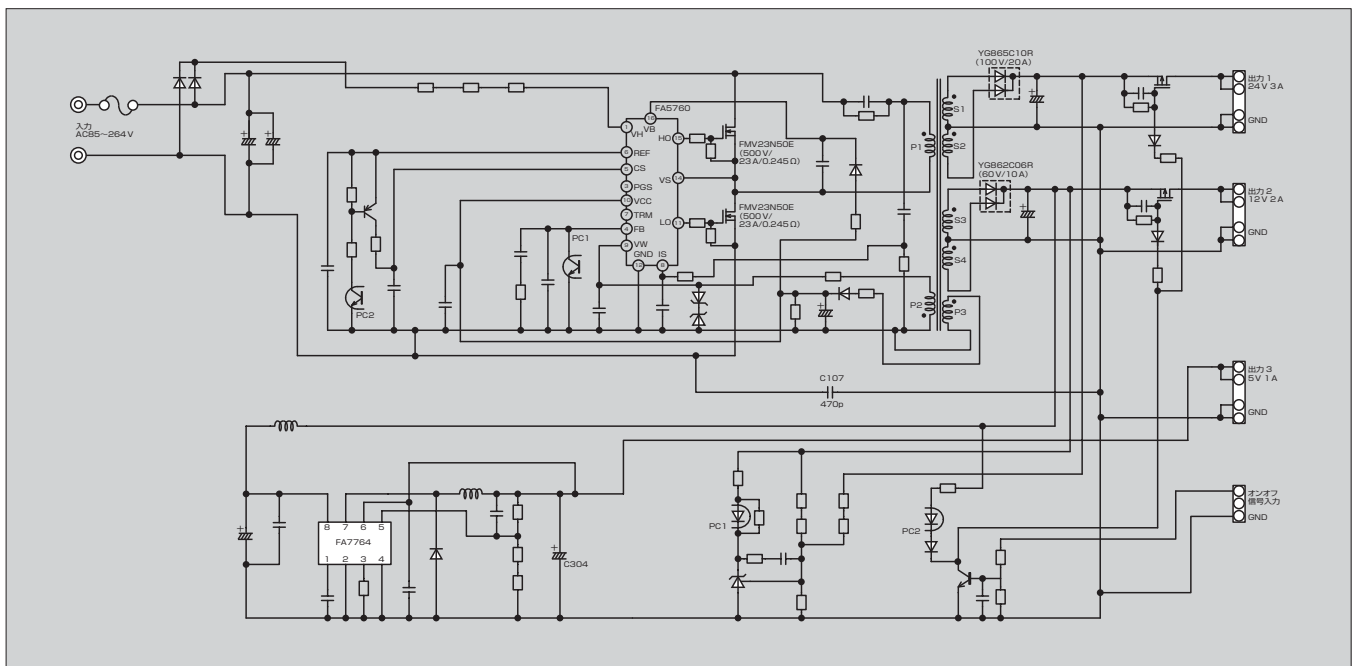


図 15 アプリケーション回路例

表 3 アプリケーション回路例の仕様

項目	特性など
入力電圧	AC85 ~ 264 V
出力電圧/電流	24 V/3 A, 12 V/2 A, 5 V/1 A
出力電力	100 W (max)

表 4 アプリケーション回路例の主な半導体部品

部品名	型式名
制御IC	FA5760N
ブリッジ部MOSFET	FMV23N50E (500 V/23 A/0.245 Ω)
ダイオード (24 V)	YG865C10R (100 V/20 A)
ダイオード (12 V)	YG862C06R (60 V/10 A)
5V DC/DCコンバータ	FA7764 AN

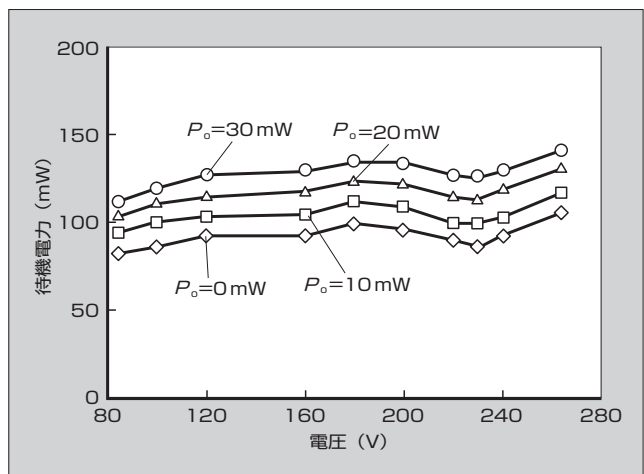


図 17 低待機動作モードにおける待機電力特性

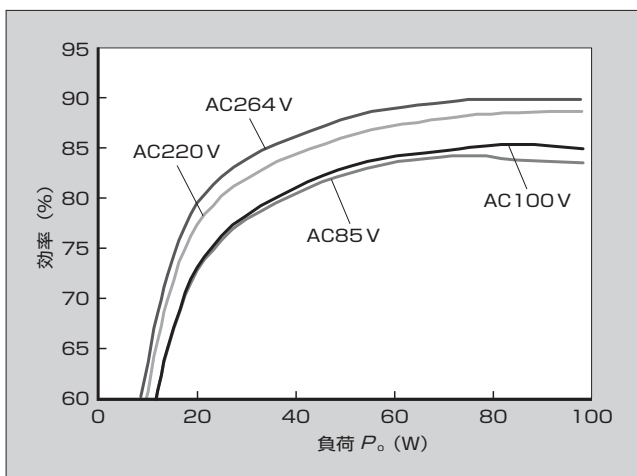


図 16 通常動作モードにおける電源効率特性

スイッチ貫通現象の防止機能の効果により、入力電圧の

AC85 ~ 264 V の間で安定した動作を実現し、AC100 V 入力時は 85%、AC220 V 入力時は 89% の電源効率を達成しており、世界各国の商用電源電圧において適用できる。

図17に、低待機動作モードにおける待機電力特性を示す。新たな低待機動作モードの効果により、世界各国の商用電源において、出力無負荷時は従来品の 165 mW に対して約 100 mW の待機電力を、また、30 mW 負荷時にも従来品の 200 mW に対して 150 mW 未満を実現している。なお、5 V 生成用の DC/DC コンバータに低待機電力対応品を適用すれば、さらに 30 mW 前後の待機出力削減が可能である。

6 あとがき

LLC 電流共振制御 IC 「FA5760N」 の特徴について述べた。この IC に適用した新技術によって、これまでの大き

な技術的制約が解消され、LLC 電流共振回路は新たな進化の段階に入ったと考えている。

今後も、さらなる高効率化と低待機電力化を実現する新技術の確立を図り、電源回路の設計の省力化と高機能化に寄与するお客さまが使いやすい電源制御 IC の開発を進めていく所存である。

参考文献

- (1) 太田裕之, 寺沢徳保. 電源用マルチチップパワーデバイス「M-Power 2シリーズ」. 富士時報. 2002, vol.75, no.10, p.585-588.
- (2) 島藤貴行ほか. マルチチップパワーデバイス「M-Power 2Aシリーズ」. 富士時報. 2006, vol.79, no.5, p.386-389.
- (3) Yamaji, M. et al. A New 600 V-Class Power Management IC Realizing a System Downsizing for Current Resonant Type Converters, PCIM Asia. 2012, p.207-212.
- (4) 陳建. PFC及び待機用コンバータ無しで広入力電圧範囲に対応したLLC共振コンバータ. 第27回スイッチング電源技術シンポジウム. 2012, D2-2.



山田谷 政幸

電源 IC の開発に従事。富士電機株式会社電子デバイス事業本部パワー半導体事業統括部ディスクリット・IC 技術部。博士（工学）。電気学会会員。



山路 将晴

パワー IC 用デバイスの設計やプロセスインテグレーション業務に従事。現在、富士電機株式会社電子デバイス事業本部パワー半導体開発統括部デバイス開発部。電気学会会員。



山本 毅

スイッチング電源制御 IC のフィールドアプリケーションエンジニアに従事。現在、富士電機株式会社海外事業本部半導体営業統括部応用技術部。





*本誌に記載されている会社名および製品名は、それぞれの会社が所有する
商標または登録商標である場合があります。