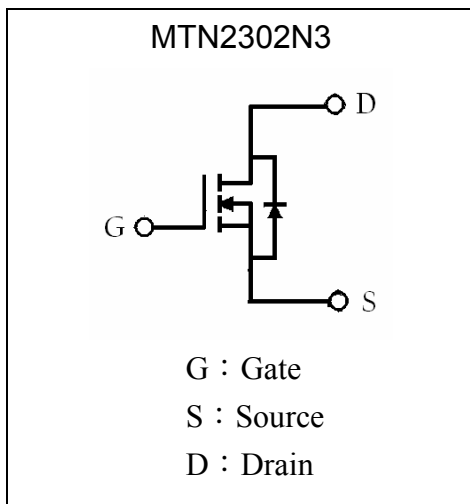
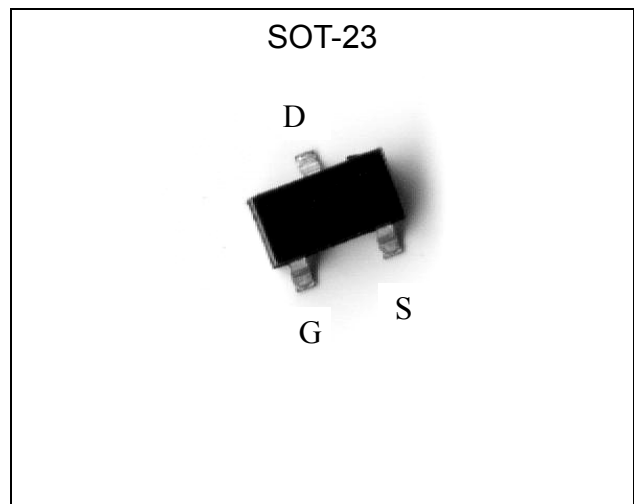


**20V N-CHANNEL Enhancement Mode MOSFET**

# MTN2302N3

**Features**

- $V_{DS}=20V$   
 $R_{DS(ON)}=65m\Omega @V_{GS}=4.5V, I_{DS}=3.6A$   
 $R_{DS(ON)}=95m\Omega @V_{GS}=2.5V, I_{DS}=3.1A$
- Advanced trench process technology
- High density cell design for ultra low on resistance
- Excellent thermal and electrical capabilities
- Compact and low profile SOT-23 package

**Equivalent Circuit**

**Outline**

**Absolute Maximum Ratings (Ta=25°C)**

Parameter	Symbol	Limits	Unit
Drain-Source Voltage	$V_{DS}$	20	V
Gate-Source Voltage	$V_{GS}$	$\pm 8$	V
Continuous Drain Current	$I_D$	2.4	A
Pulsed Drain Current	$I_{DM}$	10	A
Maximum Power Dissipation	$P_D$	Ta=25°C	W
		Ta=75°C	
Operating Junction Temperature	$T_j$	-55~+150	°C
Storage Temperature	$T_{stg}$	-55~+150	°C

**Thermal Performance**

Parameter	Symbol	Limit	Unit
Thermal Resistance, Junction-to-Ambient(PCB mounted)	R <sub>th,ja</sub>	100	°C/W
Lead Temperature, for 5 second Soldering(1/8" from case)	T <sub>L</sub>	260	°C

Note : Surface mounted on FR-4 board, t ≤ 5sec.

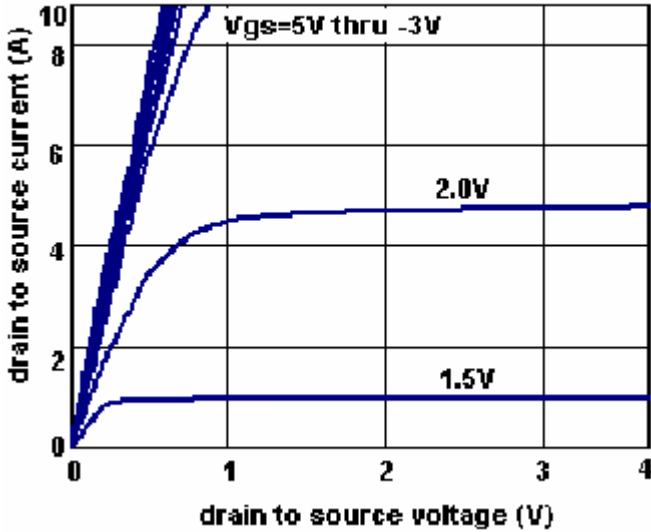
**Electrical Characteristics (Ta=25°C)**

Symbol	Min.	Typ.	Max.	Unit	Test Conditions
<b>Static</b>					
BV <sub>DSS</sub>	20	-	-	V	V <sub>GS</sub> =0, I <sub>D</sub> =250μA
V <sub>GS(th)</sub>	0.45	-	-	V	V <sub>DS</sub> =V <sub>GS</sub> , I <sub>D</sub> =250μA
I <sub>GSS/F</sub>	-	-	100	nA	V <sub>GS</sub> =+8V, V <sub>DS</sub> =0
I <sub>GSS/R</sub>	-	-	-100	nA	V <sub>GS</sub> =-8V, V <sub>DS</sub> =0
I <sub>DSS</sub>	-	-	1	μA	V <sub>DS</sub> =20V, V <sub>GS</sub> =0
*I <sub>D(ON)</sub>	6	-	-	A	V <sub>DS</sub> =5V, V <sub>GS</sub> =4.5V
*R <sub>DS(ON)</sub>	-	50	65	mΩ	I <sub>D</sub> =3.6A, V <sub>GS</sub> =4.5V
	-	75	95		I <sub>D</sub> =3.1A, V <sub>GS</sub> =2.5V
*G <sub>FS</sub>	-	10	-	S	V <sub>DS</sub> =5V, I <sub>D</sub> =3.6A
<b>Dynamic</b>					
C <sub>iss</sub>	-	450	-	pF	V <sub>DS</sub> =10V, V <sub>GS</sub> =0, f=1MHz
C <sub>oss</sub>	-	70	-		
C <sub>rss</sub>	-	43	-		
t <sub>d(ON)</sub>	-	7	15	ns	V <sub>DD</sub> =10V, I <sub>D</sub> =1A, R <sub>L</sub> =10Ω V <sub>GEN</sub> =4.5V, R <sub>G</sub> =6Ω
t <sub>r</sub>	-	55	80		
t <sub>d(OFF)</sub>	-	16	60		
t <sub>f</sub>	-	10	25		
Q <sub>g</sub>	-	5.2	10	nC	V <sub>DS</sub> =10V, I <sub>D</sub> =3.6A, V <sub>GS</sub> =4.5V,
Q <sub>gs</sub>	-	0.65	-		
Q <sub>gd</sub>	-	1.5	-		
<b>Source-Drain Diode</b>					
I <sub>SD</sub>	-	-	1.6	A	-
V <sub>SD</sub>	-	0.75	1.2	V	V <sub>GS</sub> =0V, I <sub>SD</sub> =1A

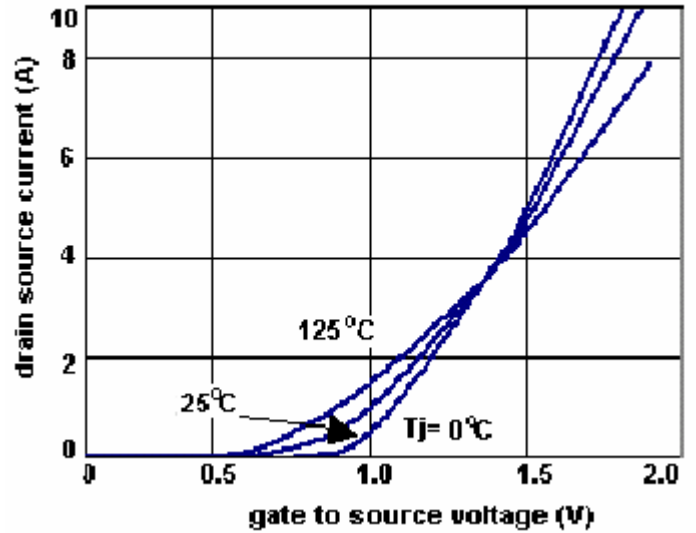
\*Pulse Test : Pulse Width ≤ 300μs, Duty Cycle ≤ 2%

**Characteristic Curves**

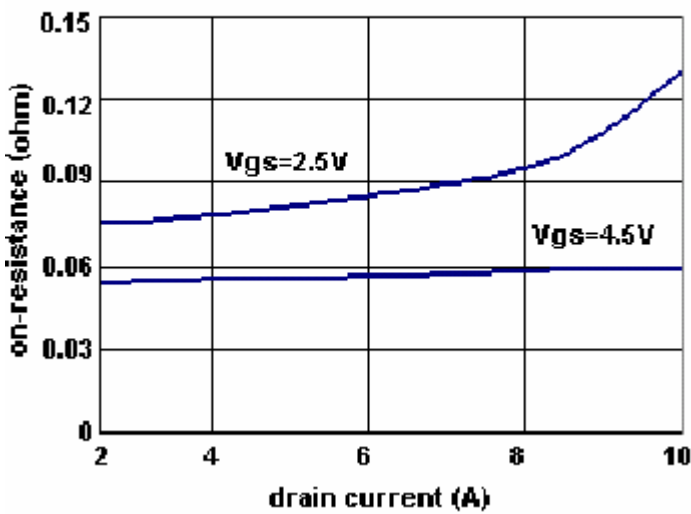
**Output Characteristic**



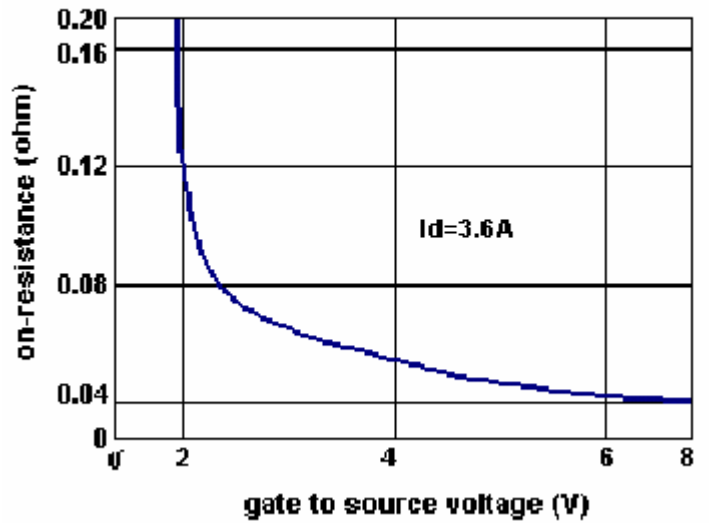
**Transfer Characteristic**



**On Resistance vs Drain Current**

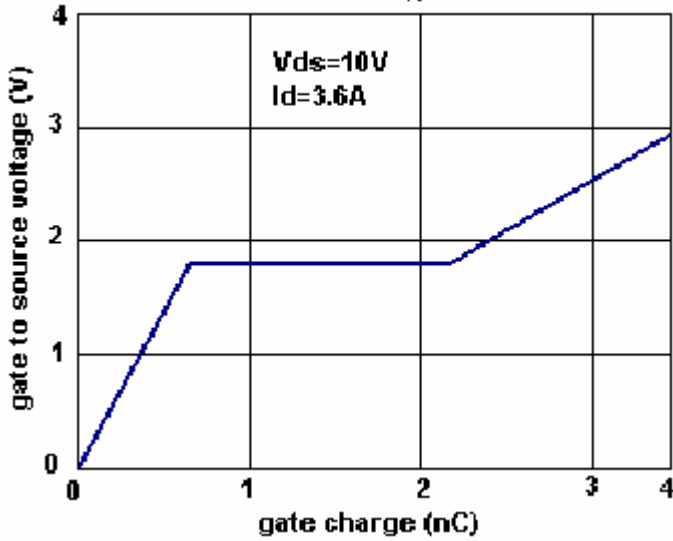


**On Resistance vs Gate-Source**

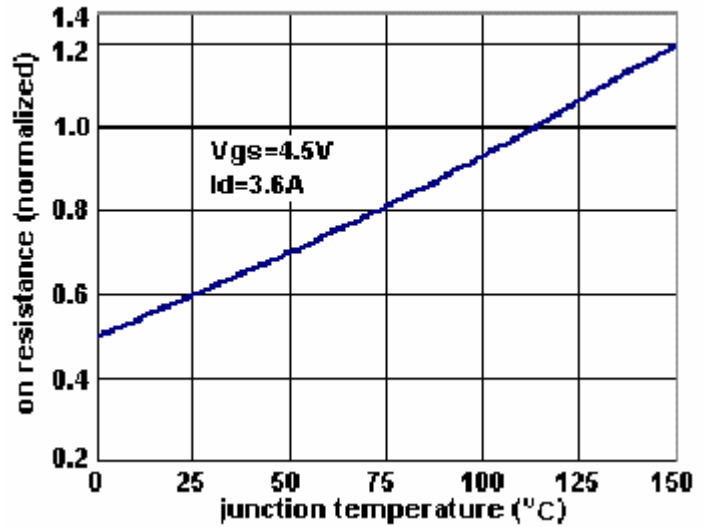




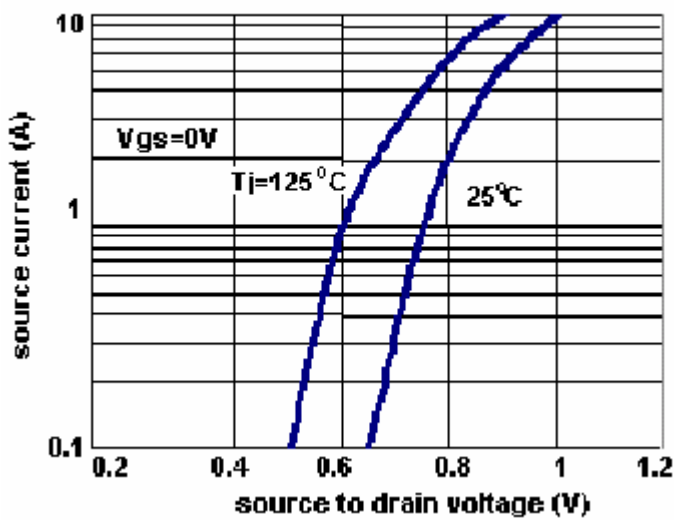
Gate Charge



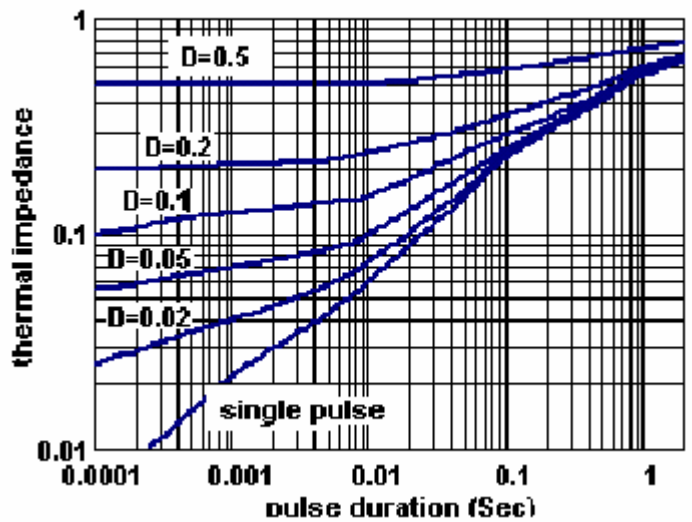
On Resistance vs Junction temp.



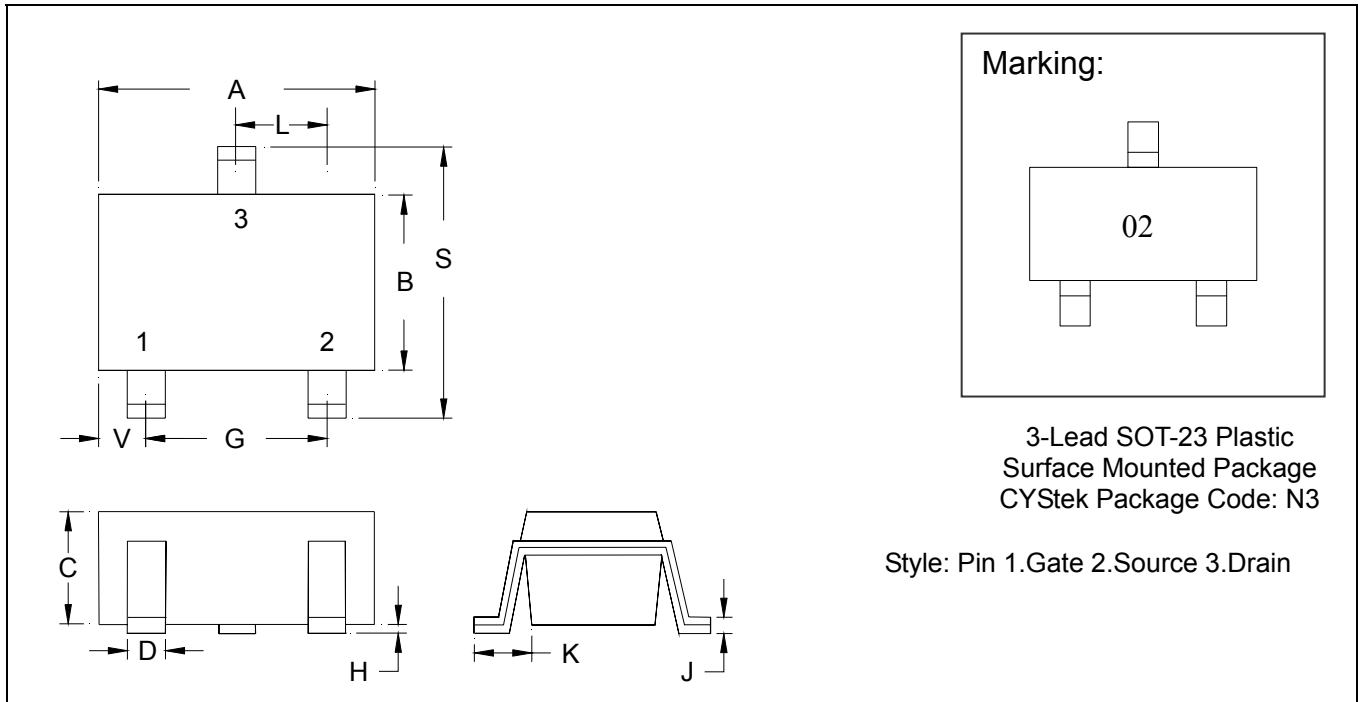
Source Drain Diode Forward Voltage



Transient Thermal Impedance



**SOT-23 Dimension**



\*: Typical

DIM	Inches		Millimeters		DIM	Inches		Millimeters	
	Min.	Max.	Min.	Max.		Min.	Max.	Min.	Max.
A	0.1102	0.1204	2.80	3.04	J	0.0034	0.0070	0.085	0.177
B	0.0472	0.0630	1.20	1.60	K	0.0128	0.0266	0.32	0.67
C	0.0335	0.0512	0.89	1.30	L	0.0335	0.0453	0.85	1.15
D	0.0118	0.0197	0.30	0.50	S	0.0830	0.1083	2.10	2.75
G	0.0669	0.0910	1.70	2.30	V	0.0098	0.0256	0.25	0.65
H	0.0005	0.0040	0.013	0.10					

- Notes:**
- Controlling dimension: millimeters.
  - Maximum lead thickness includes lead finish thickness, and minimum lead thickness is the minimum thickness of base material.
  - If there is any question with packing specification or packing method, please contact your local CYStek sales office.

**Material:**

- Lead: 42 Alloy ; solder plating
- Mold Compound: Epoxy resin family, flammability solid burning class: UL94V-0

**Important Notice:**

- All rights are reserved. Reproduction in whole or in part is prohibited without the prior written approval of CYStek.
- CYStek reserves the right to make changes to its products without notice.
- CYStek **semiconductor products are not warranted to be suitable for use in Life-Support Applications, or systems.**
- CYStek assumes no liability for any consequence of customer product design, infringement of patents, or application assistance.

Вы скачали этот файл с сайта «Сайт радиолюбителей»



## Другие разделы сайта

### Раздел БИБЛИОТЕКА

Книги для и журналы радиолюбителям

<http://radio-uchebnik.ru/library/>

### Раздел РАДИОСХЕМЫ

Различные схемы как для начинающих так и для профессионалов:

Схемы бытовой техники, телевизоров, мониторов, автомагнитол, музыкальных центров, и для самостоятельной сборки

<http://radio-uchebnik.ru/shem/>

### Раздел ФАЙЛОВОЕ ХРАНИЛИЩЕ

Различные файлы: Даташиты, схемы, прошивки и так далее

<http://radio-uchebnik.ru/downfiles/>

### Раздел РАДИОКОМПАС

Если Вы занимаетесь ремонтом электроники на профессиональном уровне- то Вы можете сообщить о себе.

<http://radio-uchebnik.ru/radiomap/>

### Раздел ДОСКА ОБЪЯВЛЕНИЙ

Здесь Вы можете разместить бесплатное объявление сроком до 120 дней (только радиотематика!!)

<http://radio-uchebnik.ru/ads/>

### Раздел СПРАВОЧНИК ПО МИКРОСХЕМАМ

Справочные данные на микросхемы импортного и отечественного производства

<http://radio-uchebnik.ru/microbase/>

### Раздел СТАТЬИ

Различные статьи радиолюбительской (и не только) тематики: секреты телемастера, практическая электроника, альтернативная энергия, расчеты по электронике, электронные устройства и так далее

<http://radio-uchebnik.ru/txt/>

### ФОРУМ НАШЕГО САЙТА

<http://radio-uchebnik.ru/forum/>